

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-021365

(43)Date of publication of application : 28.01.1994

(51)Int.Cl.

H01L 27/082

H01L 21/74

(21)Application number : 04-192690

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.06.1992

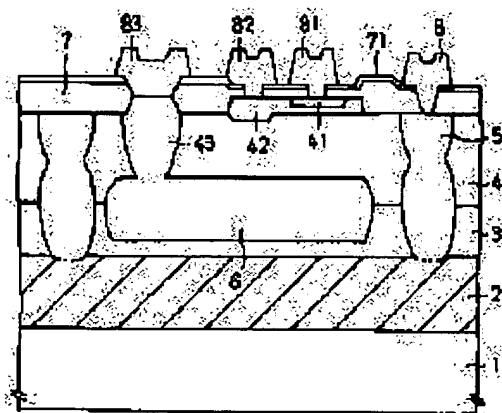
(72)Inventor : MATSUMOTO TAKASHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To furnish a structure of a semiconductor integrated circuit device and a manufacturing method thereof which make it easy to take a GND potential of a semiconductor substrate and which lessen the resistance of the semiconductor substrate and reduce a chip area sufficiently.

CONSTITUTION: A P-type high-concentration impurity diffusion region 2 is formed on a P-type silicon semiconductor substrate 1, a P-type epitaxial growth layer 3 and an N-type epitaxial growth layer 4 are made to grow thereon sequentially, a P-type high-concentration impurity diffusion region 5 extending from the surface of this layer to the P-type region 2 is formed and an electrode 8 of a GND potential is fitted on the surface of the region 5. The resistance of the substrate is lessened.



LEGAL STATUS

[Date of request for examination] 13.11.1998

[Date of sending the examiner's decision of rejection] 01.05.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-21365

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl.⁵

H 0 1 L 27/082
21/74

識別記号

庁内整理番号

9169-4M
7210-4M

F I

H 0 1 L 27/ 08

1 0 1 B

技術表示箇所

審査請求 未請求 請求項の数7(全 8 頁)

(21)出願番号 特願平4-192690

(22)出願日 平成4年(1992)6月29日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 松本 隆

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

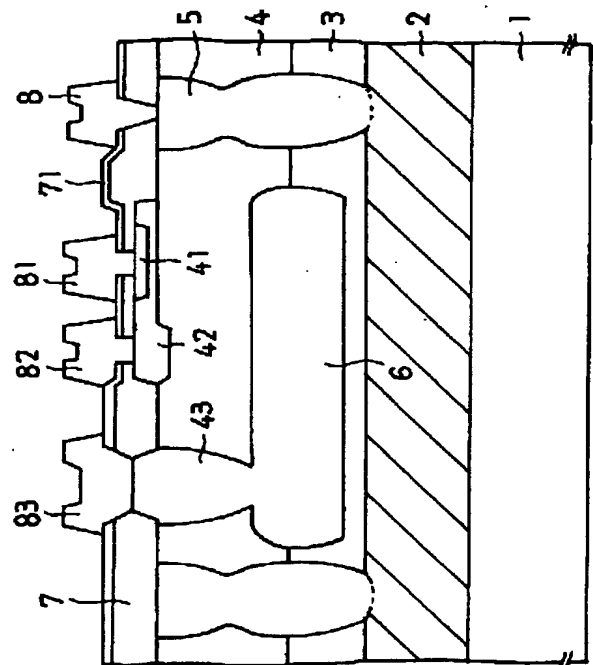
(74)代理人 弁理士 竹村 壽

(54)【発明の名称】 半導体集積回路装置及びその製造方法

(57)【要約】

【目的】 半導体基板のGND電位を取り易くし、半導体基板の抵抗が小さくチップ面積が十分縮小される半導体集積回路装置の構造およびその製造方法を提供する。

【構成】 P型シリコン半導体基板1にP型高濃度不純物拡散領域2を形成し、この上にP型エピタキシャル成長層3及びN型エピタキシャル成長層4を順次成長させ、その表面からP型領域2に達するP型高濃度不純物拡散領域5を形成してこの表面にGND電位の電極8を取付ける。基板の抵抗が減少する。



1

【特許請求の範囲】

【請求項1】 第1導電型シリコン半導体基板と、

前記第1導電型シリコン半導体基板の表面領域に形成された第1の第1導電型高濃度不純物拡散領域と、

前記第1の第1導電型高濃度不純物拡散領域上に形成された第1導電型シリコンエピタキシャル成長層と、

前記第1導電型シリコンエピタキシャル成長層の上に形成された第2導電型シリコンエピタキシャル成長層と、

前記第2導電型シリコンエピタキシャル成長層の所定の領域の表面から前記第1の第1導電型高濃度不純物拡散領域に達する第2の第1導電型高濃度不純物拡散領域と、

前記第2の第1導電型高濃度不純物拡散領域の表面に形成された電極とを備えており、この電極をGND電位とすることを特徴とする半導体集積回路装置。

【請求項2】 前記半導体基板に前記第2の第1導電型高濃度不純物拡散領域と前記第1導電型シリコンエピタキシャル成長層とで囲まれる素子領域を形成し、この素子領域に前記集積回路素子を形成したことを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記第2導電型シリコンエピタキシャル成長層の表面から前記第1の第1導電型高濃度不純物拡散領域に達するトレンチ構造の素子分離領域を備え、このトレンチ構造の素子分離領域と前記第1導電型シリコンエピタキシャル成長層とで囲まれる素子領域を形成し、この素子領域に前記集積回路素子を形成することを特徴とする請求項1又は請求項2に記載の半導体集積回路装置。

【請求項4】 前記素子分離領域を構成するトレンチ底部の下の部分の前記第1の第1導電型高濃度不純物拡散領域は、チャンネルカット領域として用いることを特徴とする請求項3に記載の半導体集積回路装置。

【請求項5】 前記素子領域内に、前記第1導電型シリコンエピタキシャル成長層と前記第2導電型シリコンエピタキシャル成長層との間に形成した第2導電型高濃度埋込み不純物拡散領域と、この第2導電型高濃度埋込み不純物拡散領域に接続し、前記第2導電型シリコンエピタキシャル成長層の表面に露出するコレクタ領域と、前記第2導電型シリコンエピタキシャル成長層の表面に露出するエミッタ領域と、このエミッタ領域を囲み、前記第2導電型シリコンエピタキシャル成長層の表面に露出するベース領域とを備えたバイポーラトランジスタを形成したことを特徴とする請求項1乃至請求項4のいずれかに記載の半導体集積回路装置。

【請求項6】 第1導電型シリコン半導体基板の表面領域に、この第1導電型シリコン半導体基板より不純物濃度の高い第1の第1導電型高濃度不純物拡散領域を形成する工程と、

前記第1の第1導電型高濃度不純物拡散領域の上に、この第1の第1導電型高濃度不純物拡散領域より不純物濃

2

度の低い第1導電型シリコンエピタキシャル成長層を形成する工程と、

前記第1導電型シリコンエピタキシャル成長層の上に第2導電型シリコンエピタキシャル成長層を形成する工程と、

前記第2導電型シリコンエピタキシャル成長層の表面から不純物を拡散することによって、前記第2導電型シリコンエピタキシャル成長層の表面から前記第1の第1導電型不純物拡散領域に達し、前記第1導電型半導体基板より不純物濃度の高い第2の第1導電型高濃度不純物拡散領域を形成する工程とを備えていることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 第1導電型シリコン半導体基板の表面領域に、この第1導電型シリコン半導体基板より不純物濃度の高い第1の第1導電型高濃度不純物拡散領域を形成する工程と、

前記第1の第1導電型高濃度不純物拡散領域の上に、この第1の第1導電型高濃度不純物拡散領域より不純物濃度の低い第1導電型シリコンエピタキシャル成長層を形成する工程と、

前記第1導電型シリコンエピタキシャル成長層に、第2導電型高濃度埋込み不純物拡散領域とこの第1導電型シリコンエピタキシャル成長層より不純物濃度の高い第1導電型高濃度埋込み不純物拡散領域とを形成する工程と、

前記第1導電型シリコンエピタキシャル成長層の上に、前記第2導電型高濃度埋込み不純物拡散領域より不純物濃度の低い第2導電型シリコンエピタキシャル成長層を形成する工程と、

前記第2導電型シリコンエピタキシャル成長層の表面から第1導電型不純物を拡散して、前記第1導電型高濃度埋込み不純物拡散領域を前記第1の第1導電型高濃度不純物拡散領域と接続すると共に、この第1導電型高濃度埋込み不純物拡散領域に接続する第1導電型高濃度不純物拡散領域を形成することによって、この第1導電型高濃度不純物拡散領域と前記第1導電型高濃度埋込み不純物拡散領域とで構成される第2の第1導電型高濃度不純物拡散領域を形成する工程と、

前記第2導電型シリコンエピタキシャル成長層に第2導電型不純物を拡散して前記第2導電型高濃度埋込み不純物拡散領域に接続するコレクタ領域を形成する工程と、前記第2導電型シリコンエピタキシャル成長層に第1導電型不純物を拡散してベース領域を形成する工程と、前記ベース領域に第2導電型不純物を拡散して、エミッタ領域を形成する工程と、

前記第2の第1導電型高濃度不純物拡散領域と前記第1導電型シリコンエピタキシャル成長層とにより囲まれる素子領域に、これらエミッタ領域、ベース領域及びコレクタ領域とを有するバイポーラトランジスタを形成する工程とを備えていることを特徴とする半導体集積回路装

置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、バイポーラ集積回路を備えた半導体集積回路装置に係り、とくに、その半導体集積回路装置に用いる抵抗を減少させた半導体基板の構造及びその製造方法に関する。

【0002】

【従来の技術】従来、ICやLSIなどの半導体集積回路装置において、トランジスタや抵抗などが半導体基板を通して他の素子と相互干渉を持たないように、また、半導体基板へのリークが生じないように素子分離領域を形成することは、通常行われていることである。その素子分離領域を形成する方法としては、主としてPN接合分離と誘電分離が知られている。PN接合分離は、半導体基板中にPN接合で囲まれた領域を形成する方式である。誘電分離は、例えば、半導体基板のシリコン表面を部分的に酸化して、他の素子と隔離された素子領域を形成する方式であるが、近年のLSIなどの微細化傾向に依じて、半導体基板に形成した微細なトレンチに絶縁膜を形成するトレンチアイソレーションが一般的になっている。PN接合分離の一般的な構造を有する半導体集積回路装置の断面図を図8に示す。この半導体集積回路装置が形成される半導体基板は、P型シリコン半導体基板（以下、P型基板という）1とその上のN⁻型シリコンエピタキシャル成長層（以下、N型エピタキシャル成長層という）4から構成されている。このエピタキシャル成長層4には、不純物濃度の高いP型高濃度不純物拡散領域（以下、P⁺拡散領域という）5を形成する。そして、このP型基板1とP⁺拡散領域5とで囲まれる素子領域を形成する。

【0003】この素子領域において、P型基板1とN型エピタキシャル成長層4との間に形成するように、このP型基板1にN型高濃度埋込み不純物拡散領域（N型埋込み領域という）6を形成する。図では、1つの素子領域に1つのN型埋込み領域を形成しているが、実際の半導体基板には、多数の素子領域があり、それぞれに必要な依じてN型埋込み領域が形成されている。この素子領域にバイポーラトランジスタが形成される。N型エミッタ領域41は、N型エピタキシャル成長層4の表面領域に形成され、この領域を囲むようにP型ベース領域42が形成されている。この両領域41、42から離れて高濃度不純物濃度のN⁺コレクタ領域43が形成され、この領域は、前記N型埋込み領域6に接続されるので、コレクタ領域は、このN型埋込み領域6まで延在している。この半導体基板は、シリコン酸化膜などの絶縁膜7によって被覆されており、この絶縁膜7は、シリコン酸化膜71によって被覆されている。素子分離領域であるP⁺拡散領域5の表面を被覆している酸化膜7および酸化膜71などの絶縁膜を部分的に取去り、コンタクト孔

を形成してP⁺拡散領域5を一部露出する。その後、例えば、SiもしくはCuなどを含むアルミニウム合金の電極8を酸化膜71上に形成し、コンタクト孔を通してP⁺拡散領域5と接続する。

【0004】シリコンとアルミニウムとが直接接触するとコンタクト抵抗が増加するので、電極8とP⁺拡散領域5の間に、接合破壊をもたらすAlとSiとの合金化反応を抑え、半導体基板へのオーミックコンタクト形成に役立つバリアメタルを介在させることもある。バリアメタルとしては、W、Moのような高融点金属やそのシリサイド、TiNのような化合物などが用いられる。ついで、エミッタ領域41、ベース領域42、コレクタ領域43なども部分的に露出し、これら領域と電気的に接続するエミッタ電極81、ベース電極82およびコレクタ電極83を酸化膜71上に形成する。電極材料は、前記電極8と同じ材料を用いても良く、また、前記バリアメタルを用いることも可能である。寄生対策のためにPN接合分離から電極配線を用いてGND電位にしているが、電極配線は、必要最小限に抑えられるために全てのPN接合分離に形成できない。この図9の素子は、PN接合分離領域であるP⁺拡散領域5にGND電位の電極8を接続している。図9は従来のトレンチアイソレーションを用いた素子分離構造を有する半導体集積回路装置の断面図を示す。図8では、素子分離領域は、P⁺拡散領域5を素子分離領域とし、このP⁺拡散領域5には、P型基板1を表面からGND電位にするための電極を形成している。しかし、この図の従来例では、P⁺拡散領域5は、GND電位の電極を設けてはいるが、素子分離領域としては用いてはいない。

【0005】素子分離には、トレンチ9を用いている。トレンチ9は、N型埋込み領域6の底部より深く掘下げられており、その内部には、ポリシリコン91が充填されている。そして、トレンチ側壁には、シリコン酸化膜92が形成される。素子領域は、このトレンチ9とP型基板1とに囲まれた領域に形成される。この時、前記P⁺拡散領域5は、その素子領域外に形成される。

【0006】

【発明が解決しようとする課題】従来P型基板をGND電位にするためには、半導体基板表面の適宜の位置に、P型基板の内部と電気的に接続されたGND電位の電極を必要な数だけ形成しなければならない。例えば、PN接合分離を利用する場合、寄生対策のためにPN接合分離領域から電極配線を用いてGND電位にしているが、半導体集積回路装置の高集積化のために、電極配線は、必要最小限に抑えられ、全てのPN接合分離領域に電極配線を形成することは困難である。図9のトレンチアイソレーション構造の半導体集積回路装置では、点線で示したGND電位の電極が形成されるP⁺拡散領域5を素子分離領域とは別に形成しなければならないので、半導体基板、即ち、チップの面積が広がってしまう。その

5

ため、このP⁺拡散領域5を形成しないで、トレンチ9内部のポリシリコン91をGND電位の電極8とP型基板1とを電氣的に接続する配線として利用することも知られている。しかし、この方法では、電極8とポリシリコン91との接続、ポリシリコン91とP型基板1との接続などについていろいろ工夫しなければならず、いずれにしてもその実施は困難であり、かえってチップ面積は広くなってしまうのが実情である。本発明は、以上の事情により成されたものであり、半導体基板の抵抗の小さいチップ面積が十分に縮小される半導体集積回路装置の構造およびその製造方法を提供するものである。

【0007】

【課題を解決するための手段】本発明は、不純物濃度の高い不純物拡散層を内部に形成した半導体基板をバイポーラトランジスタを備えた半導体集積回路装置に用いた事の特徴としている。本発明の半導体集積回路装置は、第1導電型シリコン半導体基板と、前記第1導電型シリコン半導体基板の表面領域に形成された第1の第1導電型高濃度不純物拡散領域と、前記第1の第1導電型高濃度不純物拡散領域上に形成された第1導電型シリコンエピタキシャル成長層と、前記第1導電型シリコンエピタキシャル成長層の上に形成された第2導電型シリコンエピタキシャル成長層と、前記第2導電型シリコンエピタキシャル成長層の所定の領域の表面から前記第1の第1導電型高濃度不純物拡散領域に達する第2の第1導電型高濃度不純物拡散領域と、前記第2の第1導電型高濃度不純物拡散領域の表面に形成された電極とを備えており、この電極をGND電位とすることを特徴としている。前記半導体基板に前記第2の第1導電型高濃度不純物拡散領域と前記第1導電型シリコンエピタキシャル成長層とで囲まれる素子領域を形成し、この素子領域に前記集積回路素子を形成する。

【0008】前記第2導電型シリコンエピタキシャル成長層の表面から前記第1の第1導電型高濃度不純物拡散領域に達するトレンチ構造の素子分離領域を備えこのトレンチ構造の素子分離領域と前記第1導電型シリコンエピタキシャル成長層とで囲まれる素子領域を形成し、この素子領域に前記集積回路素子を形成することも可能である。前記素子分離領域を構成するトレンチ底部の下の部分の前記第1の第1導電型高濃度不純物拡散領域はチャンネルカット領域として用いることもできる。前記素子領域内に、前記第1導電型シリコンエピタキシャル成長層と前記第2導電型シリコンエピタキシャル成長層との間に形成した第2導電型高濃度埋込み不純物拡散領域と、この第2導電型高濃度埋込み不純物拡散領域に接続し、前記第2導電型シリコンエピタキシャル成長層の表面に露出するコレクタ領域と、前記第2導電型シリコンエピタキシャル成長層の表面に露出するエミッタ領域と、このエミッタ領域を囲み、前記第2導電型シリコンエピタキシャル成長層の表面に露出するベース領域とを

6

備えたバイポーラトランジスタを形成できる。

【0009】本発明の半導体集積回路装置の製造方法は、第1導電型シリコン半導体基板の表面領域に、この第1導電型シリコン半導体基板より不純物濃度の高い第1の第1導電型高濃度不純物拡散領域を形成する工程と、前記第1の第1導電型高濃度不純物拡散領域の上に、この第1の第1導電型高濃度不純物拡散領域より不純物濃度の低い第1導電型シリコンエピタキシャル成長層を形成する工程と、前記第1導電型シリコンエピタキシャル成長層の上に第2導電型シリコンエピタキシャル成長層を形成する工程と、前記第2導電型シリコンエピタキシャル成長層の表面から不純物を拡散することによって、前記第2導電型シリコンエピタキシャル成長層の表面から前記第1の第1導電型不純物拡散領域に達し、前記第1導電型半導体基板より不純物濃度の高い第2の第1導電型高濃度不純物拡散領域を形成する工程とを備えていることを第1の特徴としている。

【0010】また、第1導電型シリコン半導体基板の表面領域に、この第1導電型シリコン半導体基板より不純物濃度の高い第1の第1導電型高濃度不純物拡散領域を形成する工程と、前記第1の第1導電型高濃度不純物拡散領域の上に、この第1の第1導電型高濃度不純物拡散領域より不純物濃度の低い第1導電型シリコンエピタキシャル成長層を形成する工程と、前記第1導電型シリコンエピタキシャル成長層に、第2導電型高濃度埋込み不純物拡散領域とこの第1導電型シリコンエピタキシャル成長層より不純物濃度の高い第1導電型高濃度埋込み不純物拡散領域とを形成する工程と、前記第1導電型シリコンエピタキシャル成長層の上に、前記第2導電型高濃度埋込み不純物拡散領域より不純物濃度の低い第2導電型シリコンエピタキシャル成長層を形成する工程と、前記第2導電型シリコンエピタキシャル成長層の表面から第1導電型不純物を拡散して、前記第1導電型高濃度埋込み不純物拡散領域を前記第1の第1導電型高濃度不純物拡散領域と接続すると共に、この第1導電型高濃度埋込み不純物拡散領域に接続する第1導電型高濃度不純物拡散領域を形成することによって、この第1導電型高濃度不純物拡散領域と前記第1導電型高濃度埋込み不純物拡散領域とで構成される第2の第1導電型高濃度不純物拡散領域を形成する工程と、前記第2導電型シリコンエピタキシャル成長層に第2導電型不純物を拡散して前記第2導電型高濃度埋込み不純物拡散領域に接続するコレクタ領域を形成する工程と、前記第2導電型シリコンエピタキシャル成長層に第1導電型不純物を拡散してベース領域を形成する工程と、前記ベース領域に第2導電型不純物を拡散してエミッタ領域を形成する工程と、前記第2の第1導電型高濃度不純物拡散領域と前記第1導電型シリコンエピタキシャル成長層とにより囲まれる素子領域に、これらエミッタ領域、ベース領域及びコレクタ領域とを有するバイポーラトランジスタを形成する工程

7

とを備えていることを第2の特徴としている。

【0011】

【作用】高濃度の不純物拡散層を内部に形成し、この部分をGND電位の電極に接続した半導体基板を用いることにより、半導体基板の抵抗を減少させチップ面積の縮小を可能にする。

【0012】

【実施例】以下、図面を参照して本発明の実施例を説明する。まず、図1乃至図4を参照して第1の実施例を説明する。図1は、PN接合分離構造の半導体集積回路装置の断面図であり、図2～図4は、その製造工程断面図である。図1に示す半導体集積回路装置が形成される半導体基板（チップ）はP型基板（P型シリコン半導体基板）1と、P型基板表面の全面に形成された第1のP⁺拡散領域（P型高濃度不純物拡散領域）2と、その上に形成されたP⁻型シリコンエピタキシャル成長層（以下、P型エピタキシャル成長層という）3と、その上に形成されたN型エピタキシャル成長層（N⁻型シリコンエピタキシャル成長層）4から構成されている。このN型エピタキシャル成長層4には、その表面から第1のP⁺拡散領域2に達する不純物濃度の高いP⁺拡散領域

（P型高濃度不純物拡散領域）5が形成されている。このP型エピタキシャル成長層3とP⁺拡散領域5とで囲まれる素子領域が形成されており、P⁺拡散領域5は、素子分離領域となる。この素子領域に、P型エピタキシャル成長層3とN型エピタキシャル成長層4との間に形成されるように、P型エピタキシャル成長層3にN型埋込み領域（N型高濃度埋込み不純物拡散領域）6を形成する。

【0013】図では、1つの素子領域に1つのN型埋込み領域を形成しているが、実際のチップには、多数の素子領域があり、それぞれに必要なに応じてN型埋込み領域が形成されている。この素子領域にバイポーラトランジスタが形成される。N型エミッタ領域41は、N型エピタキシャル成長層4の表面領域に形成され、この領域を囲むようにP型ベース領域42が形成されている。この両領域41、42から離れて高濃度不純物濃度のN⁺コレクタ領域43が形成されている。この領域43は、前記N型埋込み領域6に接続されるので、コレクタ領域は、このN型埋込み領域6まで延在していることになる。この半導体基板は、例えば、シリコン酸化膜などの絶縁膜7によって被覆されており、また、この絶縁酸化膜7は、例えば、シリコン窒化膜71によって被覆されている。素子分離領域であるP⁺拡散領域5の表面を被覆している酸化膜7および窒化膜71などの絶縁膜を部分的に取去り、コンタクト孔を形成してP⁺拡散領域5を一部露出する。その後、例えば、SiもしくはCuなどを含むアルミニウム合金の電極8を窒化膜71上に形成し、コンタクト孔を通してP⁺拡散領域5と接続する。シリコンとアルミニウムとが直接接触するとコンタ

8

クト抵抗が増加するので、電極8とP⁺拡散領域5の間に、前述のバリアメタルを介在させることもある。

【0014】バリアメタルとしては、W、Moのような高融点金属やそのシリサイド、TiNのような化合物などが用いられる。ついで、N型エミッタ領域41、P型ベース領域42、N型コレクタ領域43なども部分的に露出し、これら領域と電氣的に接続するエミッタ電極81、ベース電極82およびコレクタ電極83を窒化膜71上に形成する。電極材料は、前記電極8と同じ材料を用いても良く、また、前記バリアメタルを用いることも可能である。前記電極8は、GND電位になっており、素子分離領域であるP⁺拡散領域5を通してP型基板1はGND電位になっている。このように寄生対策のためにPN接合分離から電極配線を用いてP型基板をGND電位にする場合、半導体基板内部にP⁺拡散領域5と電氣的に接続される抵抗の小さいP⁺拡散領域2が形成されているので、前記電極8は、素子分離領域に全て取付ける必要はなく、電極配線は必要最小限に抑えられる。

【0015】ついで、この実施例の半導体集積回路装置の製造方法について説明する。P型基板1は、例えば、10、16～15、24mm径、約540μm厚、約2～6Ωのウェーハを用いる。この半導体基板の不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 程度である。まず、P型基板1の表面全面にBSG（Borosilicate Glass）膜を堆積させ、熱処理を施して、基板の全表面領域に深さが1～10μm程度、ボロン濃度が $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度のP⁺拡散領域2を形成する。BSG膜からの拡散によらなくても、イオン注入法や気相拡散など周知の方法でP⁺拡散領域2を形成することが可能である。つぎに、不純物をドーブしたSiH₄ガスなどを用いてP⁺拡散領域2の表面上に厚さが10～20μm程度で、不純物拡散濃度 $1 \times 10^{15} \text{ cm}^{-3}$ 程度のP型エピタキシャル成長層3を形成する（図2）。つぎに、このP型エピタキシャル成長層3の表面部分に不純物を拡散してP型高濃度埋込み不純物拡散領域51とN型埋込み領域6を形成する。つぎに、P型エピタキシャル成長層3の上に、不純物をドーブしたSiH₄ガスなどを使用して2～30μm厚、好ましくは5～15μm厚程度、不純物濃度 $1 \times 10^{15} \text{ cm}^{-3}$ 程度のN型エピタキシャル成長層4を成長させる。さらに、この表面に熱酸化により絶縁酸化膜7を設けて半導体基板を形成する（図3）。

【0016】つぎに、N型エピタキシャル成長層4の表面の素子分離領域の形成予定領域にボロンなどの不純物をイオン注入し、ついで、熱拡散を行って素子分離領域となるP⁺拡散領域5を形成する。P⁺拡散領域5は、P型高濃度埋込み不純物拡散領域51を含み、P⁺拡散領域2にまで達する。この様にして、半導体基板にP⁺拡散領域5とP型エピタキシャル成長層3によって囲まれ、N型埋込み領域6を有する素子領域が形成される

(図4)。絶縁酸化膜7の表面にシリコン窒化膜71を形成してから、これら絶縁膜7、71を選択的にエッチングしてN型エピタキシャル成長層4を部分的に露出し、N型エミッタ領域41、P型ベース領域42およびN型埋込み領域6に接続するN型コレクタ領域43を形成する。その後P⁺拡散領域5に接続されるGND電位の電極8、エミッタ電極81、ベース電極82およびコレクタ電極83を順次設けてバイポーラトランジスタを完成する(図1)。

【0017】次に、図5乃至図7を参照して第2の実施例を説明する。図7は、トレンチアイソレーション構造の半導体集積回路装置の断面図、図5および図6は、その製造工程断面図である。ここでは、半導体基板は前実施例と同じチップを用いる。すなわち、図7に示すように、P型基板1と、その表面領域の全面に形成したP⁺拡散領域2と、この上に成長させたP型エピタキシャル成長層3と、さらに、この上のN型エピタキシャル成長層4とからなる半導体基板を用いる。素子領域にトレンチ9を形成し、その側壁にシリコン酸化膜を形成し、トレンチ9内にポリシリコンを埋込んで素子分離領域としている。ここでは、P⁺拡散領域5も形成しているが、この領域は、素子分離領域とはせず、P型基板1を表面からGND電位にするための電極8を形成し、その配線として用いている。電極8は、トレンチ9で囲まれた素子領域内に形成されても良いし、この領域外に形成しても良い。トレンチ9は、N型埋込み領域6の底部より深く、約20 μ m程度掘下げられており、その内部には、ポリシリコン91が充填されている。そして、トレンチ側壁には、シリコン酸化膜92が形成される。素子領域は、このトレンチ9とP型基板1とに囲まれた領域に形成される。この時、前記P⁺拡散領域5は、その素子領域外に形成される。

【0018】この素子領域にバイポーラトランジスタが形成される。N型エミッタ領域41は、N型エピタキシャル成長層4の表面領域に形成され、この領域を囲むようにP型ベース領域42が形成されている。この両領域41、42から離れて高濃度不純物濃度のN⁺コレクタ領域43が形成されている。この領域43は、前記N型埋込み領域6に接続されるので、コレクタ領域は、このN型埋込み領域6まで延在していることになる。この半導体基板は、例えば、シリコン酸化膜などの絶縁膜72によって被覆されており、さらに、この絶縁酸化膜72は、例えば、シリコン窒化膜71によって被覆されている。P⁺拡散領域5の表面を被覆している酸化膜72および窒化膜71などの絶縁膜を部分的に取去り、コンタクト孔を形成してP⁺拡散領域5を一部露出する。その後、例えば、SiもしくはCuなどを含むアルミニウム合金の電極8を窒化膜71上に形成し、コンタクト孔を通してP⁺拡散領域5と接続する。ついで、N型エミッタ領域41、P型ベース領域42、N型コレクタ領域4

3なども部分的に露出し、これら領域と電氣的に接続するエミッタ電極81、ベース電極82およびコレクタ電極83を窒化膜71上に形成する。

【0019】この実施例では、P型基板1を表面からGND電位にするための電極8およびP⁺拡散領域5は、素子分離領域とは別の領域に形成するので、その分のチップ面積は必要であるが、もともとトレンチ構造の素子分離は大きな面積が要らず、また、全面P⁺拡散領域2の存在によって半導体基板抵抗を減少させることが出来るのでP⁺拡散領域2は数多は要らず、結局チップ面積は小さくできる。

【0020】つぎに、この実施例の半導体集積回路装置の製造工程を説明する。前実施例と同じ半導体基板を用意する(図5)。そして、N型エピタキシャル成長層4の表面の素子分離領域の形成予定領域にボロンなどの不純物をイオン注入し、次ぎに熱処理を行うと、このイオン注入された不純物は、拡散していき、P型高濃度埋込み不純物拡散領域51のしみ出しと接触する。また、同時に、P型領域51のしみ出しとP⁺拡散領域2とも接触してP⁺拡散領域5が形成される。次に通常のリソグラフィ技術を用い、SiCl₄、SF₅等のガスで半導体基板をイオンエッチングして素子分離領域の形成予定領域にトレンチ9を形成する。P⁺拡散領域2がトレンチ9の底部に形成する反転防止の為のチャンネルカット領域も兼ねる場合には、トレンチ9は、このP⁺拡散領域2より下に形成するほうが良い。つぎに、トレンチ9内壁に、例えば、熱酸化によりシリコン酸化膜92を形成する。その後減圧気相成長法によりポリシリコン膜91を堆積してトレンチ9内を埋込む。このポリシリコン膜は、ドライエッチング法やウエッチエッチング法を用いて絶縁酸化膜(フィールド酸化膜)7が露出するまで全面エッチング(エッチバック)して不要な部分は除去する。

【0021】さらに、ポリシリコン膜91上に熱酸化による絶縁酸化膜72を形成し、トレンチアイソレーションによる素子分離領域ができる(図6)。この後、素子領域に前実施例と同様にバイポーラトランジスタおよびこれに付随する電極等を形成してこの実施例の半導体集積回路装置が完成する。トレンチの深さは、2~30 μ m程度が適当である。約20 μ m程度のトレンチを用いると35Vの高耐圧のトランジスタが形成される。本発明は、バイポーラトランジスタを含む集積回路に適用されるので、例えば、Bi-CMOS集積回路にも適用することができる。この集積回路におけるMOS領域においてもトレンチによる素子分離領域は形成され、その底部におけるチャンネルカット領域をこの高濃度不純物拡散領域2で兼ねさせる事ができる。また、半導体基板の抵抗値を下げるためにも半導体基板のMOS領域中にも高濃度不純物拡散領域2を形成することは必要である。

【0022】前述の実施例では、P型基板1-P⁺拡散

領域 2 - P 型エピタキシャル成長層 3 - N 型埋込み領域 6 - N 型エピタキシャル成長層 4 からなる半導体基板を用いているが、これは 1 例であって、本発明では、例えば、半導体基板として、P 型基板 - N⁺ 拡散領域 - N 型エピタキシャル成長層 - P 型埋込み領域 - P 型エピタキシャル成長層からなる半導体基板、N 型基板 - N⁺ 拡散領域 - N 型エピタキシャル成長層 - P 型埋込み領域 - P 型エピタキシャル成長層からなる半導体基板、N 型基板 - P⁺ 拡散領域 - P 型エピタキシャル成長層 - N 型埋込み領域 - N 型エピタキシャル成長層 4 からなる半導体基板等を利用することが可能である。本発明では、全面 P⁺ 拡散領域 2 を使用しているので P⁺ 拡散領域 5 がチップ内で数箇所ですむ。また、この領域 2 がチャネルカット領域を兼ねることができるのでチップ全体の寄生対策、配線金属面積の減少、チップ面積の縮小及び工程時間短縮が可能になる。

【0023】

【発明の効果】本発明は、以上のような構成により、半導体基板の抵抗を減少させ、チップ全体の寄生対策と配線金属面積およびチップ面積の縮小が可能になって、容易に半導体基板を GND にすることができ、さらに、製造工程が短縮される。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例の半導体集積回路装置の断面図。

【図 2】第 1 の実施例の半導体集積回路装置の製造工程断面図。

【図 3】第 1 の実施例の半導体集積回路装置の製造工程断面図。

【図 4】第 1 の実施例の半導体集積回路装置の製造工程 30

断面図。

【図 5】第 2 の実施例の半導体集積回路装置の製造工程断面図。

【図 6】第 2 の実施例の半導体集積回路装置の製造工程断面図。

【図 7】第 2 の実施例の半導体集積回路装置の断面図。

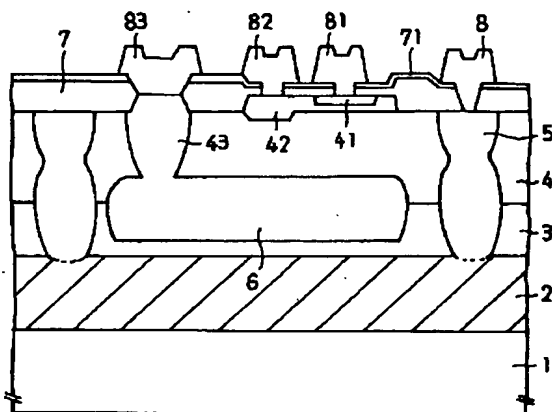
【図 8】従来の半導体集積回路装置の断面図。

【図 9】従来の半導体集積回路装置の断面図。

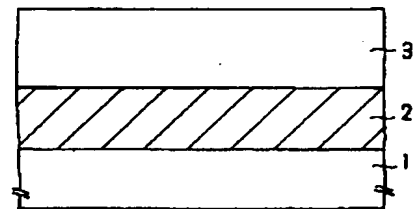
【符号の説明】

1	P 型シリコン半導体基板
2、5	P 型高濃度不純物拡散領域 (P ⁺ 拡散領域)
3	P 型エピタキシャル成長層
4	N 型エピタキシャル成長層
6	N 型高濃度埋込み不純物拡散領域 (N 型埋込み領域)
7、7 2	絶縁酸化膜
8	電極
9	トレンチ
4 1	エミッタ領域
4 2	ベース領域
4 3	コレクタ領域
5 1	P 型高濃度埋込み不純物拡散領域
7 1	絶縁窒化膜
8 1	エミッタ電極
8 2	ベース電極
8 3	コレクタ電極
9 1	ポリシリコン膜
9 2	トレンチ側壁酸化膜

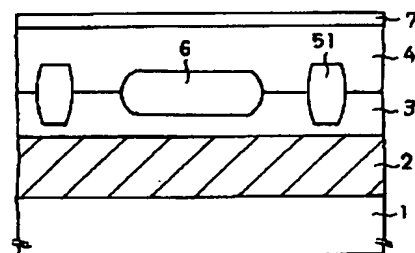
【図 1】



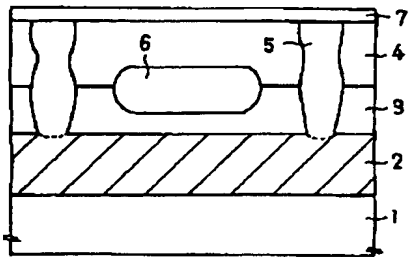
【図 2】



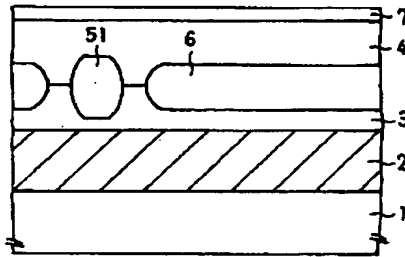
【図 3】



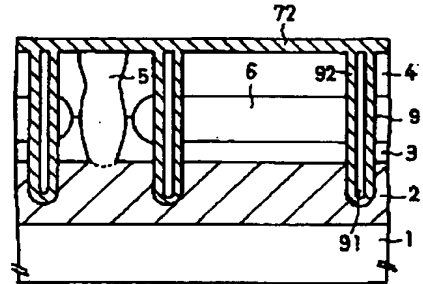
【図4】



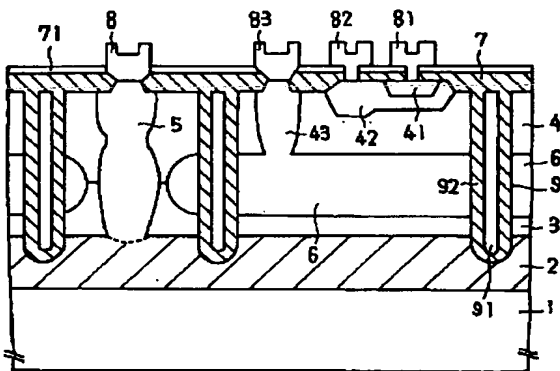
【図5】



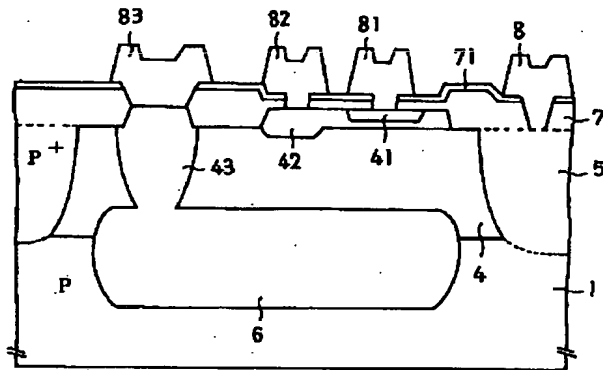
【図6】



【図7】



【図8】



【図9】

